

01676160 **Image available**
COMPLEMENTARY THIN FILM TRANSISTOR

ABSTRACT

CONSTITUTION: The channel regions 202, 203 of P type and N type thin films TR are formed on an insulating substrate 201. Then, gate insulating films 204, 205 and gate electrodes 206, 207 are further formed. Subsequently, after B is implanted, an activation is executed as an acceptor, and a P type semiconductor is formed. Thus, the source, drain regions 209, 210 of the P-channel TR are formed. In this case, acceptors are added similarly to the regions 211, 212 to become source, drain regions of the N-channel TR. Thereafter, the P-channel TR is patterned, P is then implanted, an activation is executed as a donor. Thereafter, an interlayer insulating film 215 is accumulated by the normal method. Further, source electrodes 216, 218 and drain electrodes 217, 219 are formed.

DIALOG(R)File 352:DERWENT WPI
(c) 2000 Derwent Info Ltd. All rts. reserv.

004412256

WPI Acc No: 85-239134/198539

**Complementary thin-film transistor - has P-channel thin-film transistor
containing both acceptor and donor and N-channel thin-film transistor**

NoAbstract Dwg 0/4

Patent Assignee: SUWA SEIKOSHA KK (SUWA)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Main IPC	Week
JP 60154660	A	19850814	JP 8411363	A	19840125		198539 B

Priority Applications (No Type Date): JP 8411363 A 19840125

Patent Details:

Patent	Kind	Lan	Pg	Filing Notes	Application	Patent
JP 60154660	A		18			

Title Terms: COMPLEMENTARY; THIN; FILM; TRANSISTOR; P; CHANNEL; THIN;
FILM;

TRANSISTOR; CONTAIN; ACCEPT; DONOR; N; CHANNEL; THIN; FILM;
TRANSISTOR;

NOABSTRACT

Derwent Class: U11; U12; U14

International Patent Class (Additional): H01L-021/84; H01L-027/08;

H01L-029/78

File Segment: EPI

⑨ 日本国特許庁(JP) ⑩ 特許出願公開
⑪ 公開特許公報(A) 昭60-154660

⑫ Int.Cl.⁴ 識別記号 庁内整理番号 ⑬ 公開 昭和60年(1985)8月14日
H 01 L 27/08 102 6655-5F
21/84 7739-5F
29/78 8422-5F 審査請求 未請求 発明の数 2 (全4頁)

⑭ 発明の名称 相補型薄膜トランジスタ

⑮ 特 願 昭59-11363

⑯ 出 願 昭59(1984)1月25日

⑰ 発 明 者 大 島 弘 之 諏訪市大和3丁目3番5号 株式会社諏訪精工舎内

⑱ 出 願 人 株式会社諏訪精工舎 東京都新宿区西新宿2丁目4番1号

⑲ 代 理 人 弁理士 最 上 務

明 細 書

発明の名称

相補型薄膜トランジスタ

特許請求の範囲

(1) ソース・ドレイン領域の不純物として、アクセプタとドナーの双方を含むPチャネル型薄膜トランジスタと、ドナーのみを含むNチャネル型薄膜トランジスタから構成されたことを特徴とする相補型薄膜トランジスタ。

(2) ソース・ドレイン領域の不純物として、アクセプタのみを含むPチャネル型薄膜トランジスタと、ドナーとアクセプタの双方を含むNチャネル型薄膜トランジスタから構成されたことを特徴とする相補型薄膜トランジスタ。

発明の詳細な説明

<技術分野>

本発明はPチャネル型薄膜トランジスタとNチャネル型薄膜トランジスタを集積化した相補型薄

膜トランジスタに関する。

<従来技術>

近年、絶縁基板上に薄膜トランジスタを形成する技術の研究が活発に行われている。この技術は、安価な透明絶縁基板を用いて高品質の薄形ディスプレイを実現するアクティブマトリックスパネル、あるいは通常の半導体集積回路上にトランジスタなどの駆動素子を形成する三次元集積回路、あるいは安価で高性能なイメージセンサ、あるいは高密度のメモリーなど、数多くの応用が期待されるものである。

これらの応用では、薄膜トランジスタを単なるデータのスイッチング素子として用いるのみではなく、薄膜トランジスタでロジック回路を構成することが要求される。

この場合、一般に素子数が多くなるため、消費電力を低減させる上で相補構成(CMOS)化が必要となる。例えばアクティブマトリックスパネルの周辺回路を薄膜トランジスタで内蔵する場合、画素数に応じた数のシフトレジスタやバッファ、

あるいはアナログスイッチなどが必要となる。一般には500段以上のシフトレジスタを内蔵しなくてはならない。また、三次元集積回路やイメージセンサ、あるいは高密度メモリーなどの場合でも多数の素子が必要とされることは容易に類推できる。このように素子数が多い場合、その消費電力を低減させるためには、薄膜トランジスタを相補構成にすることが必須となる。

しかし、相補型薄膜トランジスタは、Pチャネル型とNチャネル型の双方を集積化するため製造方法が複雑になり、したがって製造コストが高いという問題点を有しており、このため、従来、充分な検討が行なわれておらず、実用化レベルに達していなかった。

<目的>

本発明はこのような問題点を除去するものであり、その目的とするところは、相補型薄膜トランジスタを簡単な製造方法で安価に提供することにある。

<概要>

極である。本発明の特徴は、ソース・ドレイン領域の構成にあり、下記のいずれか一方の構成を取る。

(1) Pチャネル型薄膜トランジスタのソース・ドレイン領域はアクセプタとドナーの双方を含有し、Nチャネル型薄膜トランジスタのソース・ドレイン領域はドナーのみを含有する。

(2) Pチャネル型薄膜トランジスタのソース・ドレイン領域はアクセプタのみを含有し、Nチャネル型薄膜トランジスタのソース・ドレイン領域はドナーとアクセプタの双方を含有する。

すなわち、従来の相補型薄膜トランジスタではPチャネル型のソース・ドレイン領域はアクセプタのみを、Nチャネル型のソース・ドレイン領域はドナーのみを含有するのに対して、本発明ではいずれか一方のソース・ドレイン領域にドナーとアクセプタの双方を含有せしめる。このような構成を取っても、半導体のP型あるいはN型の制御は問題なく行なえる。

第2図は第1図に示した本発明による相補型薄

膜トランジスタの製造方法を示す図である。まず第2図(a)のように、絶縁基板201上に半導体薄膜を堆積させた後、所望のパターンを形成して、Pチャネル型薄膜トランジスタのチャネル領域202及びNチャネル型薄膜トランジスタのチャネル領域203を形成する。その後、熱酸化法や気相成長法を用いてゲート絶縁膜204、205を形成し、さらにゲート電極206、207を形成する。次に、第2図(b)のように、イオン打ち込み法を用いてボロン208を $1 \times 10^{18} \text{cm}^{-2}$ 打ち込む。打ち込まれたボロンは後の熱処理で活性化してアクセプタとなり、P型半導体を形成する。これにより、Pチャネル型薄膜トランジスタのソース・ドレイン領域209、210が形成される。

<実施例>

以下、実施例に基づいて、本発明を詳しく説明する。

第1図は本発明による相補型薄膜トランジスタの構造を示す断面図の1例である。101がPチャネル型薄膜トランジスタ、102がNチャネル型薄膜トランジスタであり、相補型薄膜トランジスタを構成している。103はガラス、石英、バシベーション膜を含む半導体集積回路基板などの絶縁基板である。104、105はチャネル領域となる半導体薄膜、106、108はソース領域、107、109はドレイン領域である。110、111はゲート絶縁膜、112、113はゲート電極、114は層間絶縁膜であり、115、117はソース電極、116、118はドレイン電

極である。この際、Nチャネル型薄膜トランジスタのソース・ドレイン領域となるべき領域211、212にも同様にアクセプタが添加される。次に、第2図(c)のように、Pチャネル型薄膜トランジスタを、例えばフォトレジスト213で被覆して、リンあるいはヒ素214を $3 \times 10^{18} \text{cm}^{-2}$ 打ち込む。打

ら込まれたリンあるいはヒ素は後の熱処理で活性化してドナーとなる。したがって、領域211及び212には、 $1 \times 10^{18} \text{cm}^{-3}$ に対応するアクセプタと、 $8 \times 10^{18} \text{cm}^{-3}$ に対応するドナーが含まれている。イオン打ち込みの条件が最適化され、さらに活性化率が十分に高ければ、この領域は、 $2 \times 10^{18} \text{cm}^{-3}$ に対応するドナーのみが含まれる場合とほぼ等価である。したがって、この領域の導電型はN型となり、Pチャネル型薄膜トランジスタのソース・ドレイン領域を形成することになる。最後に、第2図(d)のように、イオン打ち込み時のマスクとしたフォトリソistを除去した後、層間絶縁膜215を堆積させる。さらにコンタクトホールを開孔した後、ソース電極216、218及びドレイン電極217、219を形成して、本発明による相補型薄膜トランジスタは完成する。

第8図は、このように構成された薄膜トランジスタの I_D 電流を示すグラフである。縦軸は薄膜トランジスタの I_D 電流であり、チャネル長10 μm 、チャネル幅10 μm のトランジスタに、ゲート電圧

15V、ドレイン電圧5Vを印加したときのドレイン電流と定義している。横軸は最初に全面に打ち込むボロンのドーズ量である。2度目にNチャネル領域のみに打ち込むリンの濃度は $8 \times 10^{18} \text{cm}^{-3}$ で一定である。グラフから明らかなように、ボロンのドーズ量の増加と共に、Pチャネル型薄膜トランジスタの I_D 電流は増加し、 $1 \times 10^{18} \text{cm}^{-3}$ 以上で飽和の傾向で見られる。一方、Nチャネル型薄膜トランジスタの I_D 電流は $1 \times 10^{18} \text{cm}^{-3}$ 以下ではほとんど変化しないが、 $1 \times 10^{18} \text{cm}^{-3}$ 以上で急激に減少する。これらの現象はいずれも、ソース・ドレイン領域の抵抗を考慮することによって説明できる。すなわち、Pチャネル型薄膜トランジスタのソース・ドレイン領域の抵抗はボロンのドーズ量の増大に伴って減少するため I_D 電流は増加するが、 $1 \times 10^{18} \text{cm}^{-3}$ 以上では、ソース・ドレイン領域の抵抗よりもチャネル抵抗の方が支配的になるため、これ以上ドーズ量を増しても I_D 電流は変化しない。一方、Nチャネル型薄膜トランジスタのソース・ドレイン領域の抵抗は、ボロンのドーズ量と

リンのドーズ量($8 \times 10^{18} \text{cm}^{-3}$)の双方で決定される。ボロンのドーズ量が少ないならばリンが支配的になりソース・ドレイン領域の抵抗は充分低くなるが、 $1 \times 10^{18} \text{cm}^{-3}$ 以上になるとリン濃度を相殺してソース・ドレイン領域の抵抗が高くなり、 I_D 電流は減少する。第8図からわかるように、ボロンのドーズ量は $1 \times 10^{18} \text{cm}^{-3}$ が最適である。この時、双方のトランジスタは共に高い I_D 電流を得ることができる。

第4図は、本発明による相補型薄膜トランジスタの特性を示すグラフである。縦軸はドレイン電流の対数値であり、横軸はゲート電圧である。便宜上、Pチャネル型薄膜トランジスタのゲート電圧の極性をNチャネル型薄膜トランジスタのものにそろえている。ドレイン電圧は5Vである。ソース・ドレイン領域の抵抗の影響も受けずに、良好なトランジスタ特性が得られている。

以上、Nチャネル型薄膜トランジスタのソース・ドレイン領域に、ドナーとアクセプタの双方を含む場合について説明したが、Pチャネル型薄膜

トランジスタのソース・ドレイン領域に、ドナーとアクセプタを含む場合についても本発明は全く同様に成立する。

<効果>

本発明によれば、ソース・ドレイン領域の抵抗の影響を受けることなく、優れた特性を有する相補型薄膜トランジスタを極めて簡単な製造方法で得ることができる。すなわち、従来の如く、Pチャネル型とNチャネル型を別々に作りこむのではなく、全体を一方のタイプで作製し、その後、その一部を他方のタイプに作り変えるため、製造工程の簡略化が実現される。具体的には、イオン打ち込みのマスク形成回数を、従来の2回から1回に減少させることが可能となる。元来、薄膜トランジスタは簡単な方法で製造できるところに特徴があり、製造工程は極めて短い。したがって、その中のマスク形成工程が省略できることは、全体の製造方法の簡略化において極めて大きい比重を有する。言い換えれば、薄膜トランジスタは、容易かつ安価に製造されなくては意味がなく、ここ

に薄膜トランジスタを相補型に構成する最大問題点があったが、本発明によれば、元来の特徴を生かした簡単な製造方法で実現できる相補型薄膜トランジスタを安価に提供することができる。

図面の簡単な説明

第1図は本発明による相補型薄膜トランジスタの構造を示す断面図である。

第2図(a)～(d)は本発明による相補型薄膜トランジスタの製造方法を示す図である。

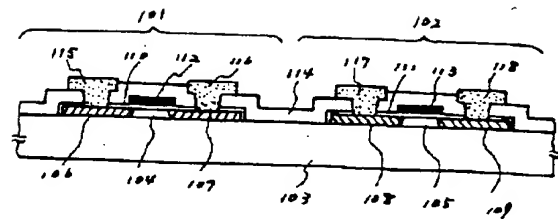
第3図は本発明による相補型薄膜トランジスタのON電流とアクセプタ濃度の関係を示すグラフである。

第4図は本発明による相補型薄膜トランジスタの特性を示すグラフである。

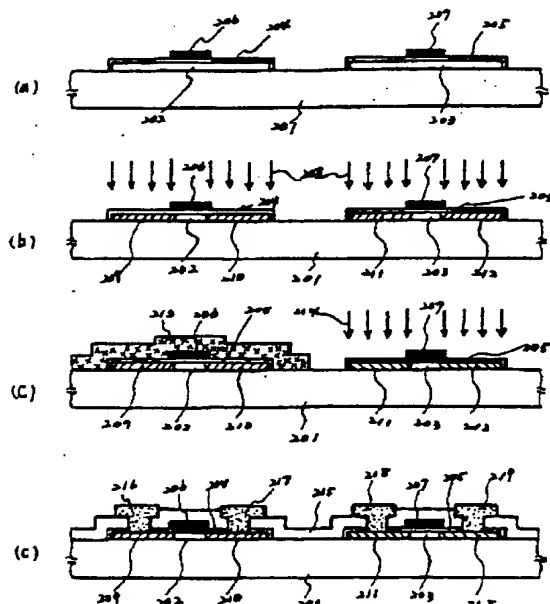
以 上

出願人 株式会社 勸業精工舎

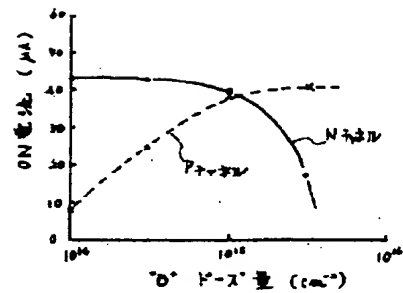
代理人 弁理士 最 上



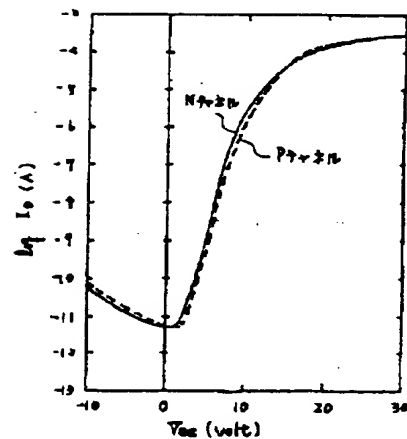
第 1 図



第 2 図



第 3 図



第 4 図